

(19)

NONVOLATILE SEMICONDUCTOR MEMORY

Patent Number: JP5028778
Publication date: 1993-02-05
Inventor(s): ATSUMI SHIGERU
Applicant(s): TOSHIBA CORP
Requested Patent: ☐ JP5028778
Application Number: JP19910186563 19910725
Priority Number(s):
IPC Classification: G11C16/06
EC Classification:
Equivalents:

Abstract

PURPOSE: To suppress the increase of a leak electric current and a punch through by a nonselection cell at a write time without degrading a write efficiency of a selection cell in a nonvolatile semiconductor memory.

CONSTITUTION: This nonvolatile semiconductor memory having a memory cell array arrayed in a matrix form memory cell transistors 11 having a laminated gate structure is constituted of source diffusion wirings 14 consisting of the diffusion layer wirings connected in common to the source of each cell transistor in the row direction of the cell array and the metallic wirings provided with one line ratio for one line or plural lines of a word line 12. And the memory is provided with source lines 15 electrically connected to the source diffusion wirings 14 selectively and a source decoder 8 giving a grounded potential to the source line connected to the source diffusion wirings 14 of the selected row of the cell array at a data write mode time.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-28778

(43) 公開日 平成5年(1993)2月5日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 16/06

9191-5L

G 1 1 C 17/00

3 0 9 A

審査請求 未請求 請求項の数5(全9頁)

(21) 出願番号 特願平3-186563

(22) 出願日 平成3年(1991)7月25日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 堀美 滋

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

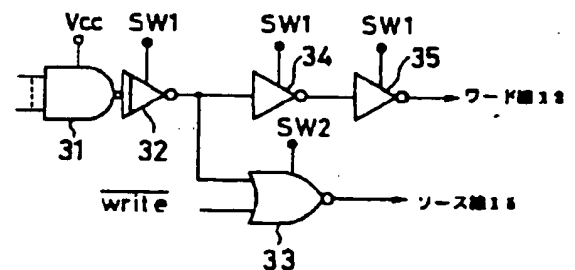
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【目的】 不揮発性半導体記憶装置における選択セルの書き込み効率を劣化させずに、書き込み時の非選択セルによるリーク電流の増大やパンチスルーを抑制する。

【構成】 積層ゲート構造を有するメモリセルトランジスタ11群が行列状に配列されたメモリセルアレイを有する不揮発性半導体記憶装置において、セルアレイの行方向の各セルトランジスタのソースに共通接続された拡散層配線からなるソース拡散配線14群と、ワード線12の1本あるいは複数本に対して1本の割合で設けられた金属配線からなり、上記ソース拡散配線群に対して選択的に電氣的に接続されたソース線15群と、データ書き込みモード時にセルアレイの選択行のソース拡散配線に接続されているソース線に接地電位を与えるソースデコーダ8とを具備することを特徴とする。



【特許請求の範囲】

【請求項1】 それぞれ積層ゲート構造を有するメモリセルトランジスタ群が行列状に配列されたメモリセルアレイと、

このメモリセルアレイの行方向の各メモリセルトランジスタのゲートに接続されたワード線群と、

このワード線群に交差する方向に形成され、上記メモリセルアレイの列方向の各メモリセルトランジスタのドレインに接続されたビット線群と、

上記ワード線群に平行な方向に形成され、上記メモリセルアレイの行方向の各メモリセルトランジスタのソースに共通接続された拡散層配線からなるソース拡散配線群と、

前記ワード線群に平行な方向に形成され、ワード線の1本あるいは複数本に対して1本の割合で設けられた金属配線からなり、上記ソース拡散配線群に対して選択的に電気的に接続されたソース線群と、

データ読み込みモード時に、前記メモリセルアレイの選択されたメモリセルを含む行の前記ソース拡散配線に接続されているソース線に接地電位を与えるソースデコーダ回路とを具備することを特徴する不揮発性半導体記憶装置。

【請求項2】 請求項1記載の不揮発性半導体記憶装置において、前記ソースデコーダ回路は、データ読み込みモード時に、前記メモリセルアレイの選択されたメモリセルを含む行以外の行のソース拡散配線に接続されているソース線には電源電位と接地電位との中間レベルである読み込み中間電位を与えることを特徴する不揮発性半導体記憶装置。

【請求項3】 請求項1または2記載の不揮発性半導体記憶装置において、前記ソースデコーダ回路は、データ読み出しモード時に、前記メモリセルアレイの選択されたメモリセルを含む行の前記ソース拡散配線に接続されているソース線には接地電位を与えることを特徴する不揮発性半導体記憶装置。

【請求項4】 請求項1乃至3のいずれか1項に記載の不揮発性半導体記憶装置において、前記ソースデコーダ回路は、データ読み出しモード時に、前記メモリセルアレイの選択されたメモリセルを含む行以外の行のソース拡散配線に接続されているソース線には電源電位と接地電位との中間レベルである読み出し中間電位を与えることを特徴する不揮発性半導体記憶装置。

【請求項5】 請求項1乃至4のいずれか1項に記載の不揮発性半導体記憶装置において、前記メモリセルアレイは複数個のブロックに分割され、前記ソース線群は上記メモリセルアレイの各ブロック別に設けられており、前記ソースデコーダ回路は、データ消去モード時に、上記ソース線群のうちアドレス信号によって選択されたブロックのソース線にのみ高電圧を印加し、それ以外のブロックのソース線には接地電位を与えることを特徴す

る不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、積層ゲート構造の不揮発性メモリセルのアレイを用いた不揮発性半導体記憶装置に係り、特に非選択セルのリーク、パンチスルーを抑制する回路に関する。

【0002】

【従来の技術】EPROM（紫外線消去・再読み込み可能な読み出し専用メモリ）やEEPROM（電気的消去・再読み込み可能な読み出し専用メモリ）においては、メモリセルとして積層ゲート構造（スタック・ゲート）を有する1個のMOSTランジスタが用いられ、データの読み込みはドレイン側からホット・エレクトロン注入により行われる。

【0003】なお、EEPROMのメモリセルとしては、ETOX（米国インテル社登録商標）型セルと呼ばれるトンネル・オキシド型EPROM（EPROM with Tunnel Oxide）セルが知られている。このETOX型セルを使用したEEPROMは、読み込みはビット単位で行なわれ、消去は全セルのソースに同時に高電圧を印加して全ビット一括で行なわれる（フラッシュ消去）、または、選択されたブロックのセルのソースに同時に高電圧を印加してブロック単位で行なわれる。

【0004】図7は積層ゲート構造を有する不揮発性メモリセルの一例として、ETOX型セルの断面構造を示している。71は第1導電型の半導体基板、72および73はこの半導体基板71の表面に選択的に設けられ、半導体基板とは逆の第2導電型の第1不純物領域（ソース）および第2不純物領域（ドレイン）、74は上記半導体基板表面上に形成されたゲート絶縁膜（トンネル絶縁膜）、75は上記半導体基板上のソース・ドレイン間で上記ゲート絶縁膜74を介して設けられたフローティングゲート（浮遊ゲート電極）、76は上記フローティングゲート上に層間絶縁膜77を介して設けられたコントロールゲート（制御ゲート電極）である。

【0005】上記ETOX型セルのデータ読み込み（プログラム）時には、ソース電圧 V_S として低電圧（例えば0V）が与えられ、基板71に低電圧（例えば0V）が与えられ、コントロールゲート電圧 V_{CG} として外部から供給される高電圧（あるいは内部昇圧電圧）である読み込み電圧 V_{pp} が与えられ、ドレイン電圧 V_D として高電圧が与えられる。すると、ドレイン・ソース間にオン電流が流れ、ドレイン近傍でホット・エレクトロンおよびホット・ホールの対が発生する。そして、ホールは基板電流として基板71に流れるが、ホット・エレクトロンがフローティングゲート75に注入されることにより、トランジスタのコントロールゲート76からみた閾値が上昇し、読み込みが完了する。

【0006】上記ETOX型セルのデータ消去は、ソー

ス72に高電圧 V_{pp} 、コントロールゲート76に低電圧（例えば0V）がそれぞれ与えられ、ドレイン73が例えばフローティング状態に設定されることにより行なわれる。この時、コントロールゲート76・フローティングゲート75間の容量とフローティングゲート75・ソース72間の容量との容量比およびソース電圧 V_S に応じてフローティングゲート電位 V_{FG} が設定され、ソース72とフローティングゲート75との間のトンネル絶縁膜74にフラー・ノルトハイム（Fowler-Nordheim）トンネル電流が流れることによりフローティングゲート75から電子が抜かれ、消去が完了する（閾値が書き込み前の状態になる）。ところで、前記した積層ゲート構造を有するメモリセルは、微細化に伴ってチャネル長がスケールアップされることにより、

(a) データ書き込み時の非選択セルによるリーク電流が増大する、

【0007】(b) データ書き込み時の非選択セルのパンチスルー時におけるホットホールの注入によりメモリの信頼性が劣化し、場合によれば非選択セルがデプレッション化する、という問題が生じる。以下、上記問題点

(a) について詳述する。
【0008】図8は、前記した積層ゲート構造を有するメモリセルの各部の容量成分 $C1 \sim C4$ を示している。 $C1$ はコントロールゲート・フローティングゲート間容量、 $C2$ はフローティングゲート・ソース間容量、 $C3$ はフローティングゲート・基板間容量、 $C4$ はフローティングゲート・ドレイン間容量である。データ書き込み時には、通常、非選択セルのコントロールゲート76、ソース72、基板には接地電位が与えられる。この場合、選択セルと同じビット線を共有する非選択セルのドレイン73には高電位 V_D （例えば6~7V）が印加される。この時、この非選択セルが非書き込み状態であると、そのフローティングゲート75の電位 V_{FG} は、
$$V_{FG} = V_D \cdot C4 / (C1 + C2 + C3 + C4)$$

になる。なお、上記非選択セルが書き込み状態であると、フローティングゲート75に電子が蓄積されているので、この分だけ上記電位 V_{FG} が下がる。

【0009】ここで、メモリセルのスケールアップにしたがってチャネル長が短くなってくると、上式中のフローティングゲート・ドレイン間容量 $C4$ が相対的に大きくなるので、上式で表わされる電位 V_{FG} は高くなる。

【0010】従って、データ書き込み時には、選択セルと同じビット線を共有する非選択セルがオンし易くなり、そのリーク電流が増大する。また、セルアレイの大容量化に伴って1本のビット線を共有するセルの個数が多くなるので、1本のビット線から非選択セルによってリークする電流の合計値が多くなる。

【0011】このようにデータ書き込み時の非選択セルによるリーク電流が増大すると、選択されたビット線の電位（セルのドレイン電位）は上記リーク電流によって低

下する。これにより、選択セルのドレイン近傍の電界が弱まることになり、チャネル・ホット・エレクトロンの発生量が低下し、書き込み速度の低下など、書き込み特性が劣化する。従って、データ書き込み時の非選択セルによるリーク電流は、メモリセルのチャネル長 L のスケールアップにとって障害となる。

【0012】なお、図9(a)は、EEPROMやEPROMにおける書き込み系を示しており、91はメモリセル、92は列選択トランジスタ、93は書き込みトランジスタ、SWは書き込み時に高電圧 V_{pp} が与えられる内部電源ノードである。

【0013】図9(b)は、図9(a)中の列選択トランジスタ92および書き込みトランジスタ93がそれぞれオンしている場合の等価回路を示しており、Rは列選択トランジスタ92の抵抗成分、 V_{th} は書き込みトランジスタ93の閾値電圧である。この図から分かるように、書き込み時には選択された列のセル群の各ドレインには、 $V_{pp} - V_{th}$ の電位を有するノードから抵抗成分Rを介した電位が与えられ、書き込み時のドレイン電位は非選択セルによるリーク電流によって低下する。次に、前記問題点(b)について詳述する。

【0014】メモリセルのチャネル長 L がスケールアップされると、データ書き込み時の非選択セルのパンチスルーが起り易くなるが、パンチスルーによる影響は、上述したようなリーク電流の問題だけでなく、メモリの信頼性にかかわることもある。即ち、パンチスルー時にもホット・エレクトロンおよびホット・ホールの対が発生し、それらのうちでセルのゲート酸化膜の障壁を越えるエネルギーを持ったものがセルのフローティングゲートに飛び込むことがある。このように書き込み時にフローティングゲートにホットホールが注入すると、コントロールゲートからみたセルの閾値を下げ、セルの擦消が生じることになる。甚だしい場合には、上記非選択セルがデプレッション化し、この非選択セルと同じビット線に接続されている選択セルの読み出し時に読み出しが不能になる。

【0015】上記したような問題点(a)、(b)を解決するために、従来は、書き込みモード時にセルアレイのソース電位を浮かせるようにしている。これは、例えば図10に示すような定電圧発生回路によりセルのソースにはほぼ1Vの電位を与えることにより、セルの閾値 V_{th} も上り、前記したような非選択セルによるリーク電流の発生を防ぐことができ、前記したようなパンチスルーも起り難くなり、ホット・ホールに起因する信頼性の劣化を防ぐことができる。

【0016】なお、上記定電圧発生回路において、101はエンハンスメント型のPチャネルMOSトランジスタ、102~105はエンハンスメント型のNチャネルMOSトランジスタ、106~108はデプレッション型のNチャネルMOSトランジスタである。

【0017】しかし、上記したように書き込みモード時にセルアレイのソース電位を浮かせることは、セルのソース電位が上がるので、セルのドレイン・ソース間の電界が弱まり、選択セルの書き込み効率が劣化するという問題がある。

【0018】

【発明が解決しようとする課題】上記したように従来のEEPROMやEPROMは、データ書き込み時の非選択セルによるリーク電流の増大やパンチスルーを抑制するために書き込みモード時にセルアレイのソース電位を浮かせると、選択セルの書き込み効率が劣化するという問題があった。

【0019】本発明は上記の問題点を解決すべくなされたもので、選択セルの書き込み効率を劣化させることなく、書き込み時の非選択セルによるリーク電流の増大やパンチスルーを抑制し得る不揮発性半導体記憶装置を提供することを目的とする。

【0020】

【課題を解決するための手段】本発明の不揮発性半導体記憶装置は、それぞれ積層ゲート構造を有するメモリセルトランジスタ群が行列状に配列されたメモリセルアレイと、このメモリセルアレイの行方向の各メモリセルトランジスタのゲートに接続されたワード線群と、このワード線群に交差する方向に形成され、上記メモリセルアレイの列方向の各メモリセルトランジスタのドレインに接続されたビット線群と、上記ワード線群に平行な方向に形成され、上記メモリセルアレイの行方向の各メモリセルトランジスタのソースに共通接続された拡散層配線からなるソース拡散配線群と、前記ワード線群に平行な方向に形成され、ワード線の1本あるいは複数本に対して1本の割合で設けられた金属配線からなり、上記ソース拡散配線群に対して選択的に電氣的に接続されたソース線群と、データ書き込みモード時に前記メモリセルアレイの選択されたメモリセルを含む行の前記ソース拡散配線に接続されているソース線に接地電位を与えるソースデコード回路とを具備することを特徴とする。

【0021】

【作用】書き込みモード時に、選択行のソース拡散配線に接続されているソース線が接地されるので、選択セルの書き込み効率が劣化することはない。また、データ書き込み時に、非選択行のソース拡散配線に接続されているソース線が電源電位と接地電位との中間レベル、あるいは、フローティング状態に設定されることにより、選択セルと同じビット線を共有する非選択セルによるリーク電流の増大やパンチスルーが抑制される。

【0022】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。

【0023】図1は、本発明の第1実施例に係るEEPROMを示すブロック回路図である。1はメモリセルア

レイ、2はロウデコード回路、3はカラムデコード回路、4はモード切り換え回路、5はモード設定信号発生回路、6は書き込み用中間電位発生回路、7は読み出し用中間電位発生回路、8はソースデコード回路である。

【0024】図2は、メモリセルアレイ1の一部を示している。11、…、11はそれぞれ積層ゲート構造を有するメモリセル（例えばETOX型セル）であり、行列状に配列されている。12、…、12はそれぞれ少なくとも1層が多結晶シリコン層（例えば多結晶シリコン層のみもしくはシリサイド層やポリサイド層）からなり、それぞれ同一行に配置された複数のメモリセル11のゲートが共通に接続されたワード線である。13、…、13はそれぞれ同一列に配置された複数のメモリセル11のドレインが共通に接続され、一層目の金属配線（アルミニウム等）からなるビット線であり、ワード線12、…、12と交差する方向に延長して配置されている。14、…、14はそれぞれ同じ行のメモリセル11のソースが共通に接続され、拡散層領域で構成された共通ソース拡散配線であり、ワード線12、…、12と並行する方向に延長して配置されている。15、…、15は二層目の金属配線を用いて構成されたソース線であり、それぞれ一層目の金属配線（図示せず、例えば前記ビット線13、…、13と並行する方向に延長して配置されている。）を介して上記共通ソース拡散配線14、…、14に電氣的に接続されている。

【0025】また、図1のEEPROMは複数ビット構成（複数ビット並列にデータの読み出し／書き込みが行われる構成）を想定しており、前記メモリセル11、…、11はビット線単位でその並列ビット数分に分割されており、各分割された領域では複数のビット線13、…、13が列選択用のトランジスタ16…を介してセンスアンプに共通に接続されている。

【0026】前記ロウデコード回路2は、書き込み時には、1本のワード線12を選択して高電圧を与え、読み出し時には、1本のワード線12を選択して読み出し電源電圧Vcc（例えば5V）を与え、消去時には、全てのワード線12に接地電圧を与える。

【0027】前記カラムデコード回路3は、書き込み時には、1本のビット線13を選択して高電圧を与え、読み出し時には、1本のビット線13を選択して読み出し中間電圧（例えば1V）を与え、消去時には、全てのビット線13を例えばフローティング状態に設定する。

【0028】前記ソースデコード回路8は、書き込み時には、1本のソース線15を選択して接地電位Vssを与え、それ以外のソース線15には電源電位と接地電位との中間レベル（書き込み中間電位）を与え、読み出し時には、1本のソース線15を選択して接地電位Vssを与え、消去時には、ソース線15に高電圧を与える。次に、上記実施例のEEPROMにおける各動作モードについて説明する。

【0029】 込みは、選択されたメモリセルを含む列

(選択列)のビット線13に高電圧を与えると共に選択されたメモリセルを含む行(選択行)のワード線12に高電圧 V_{pp} を与え、かつ、選択行のソース線15に接地電位を与えることにより、前述したような原理で行われる。なお、選択されたメモリセルを含まない列(非選択列)のビット線13は0Vが与えられ、選択されたメモリセルを含まない行(非選択行)のワード線12は0Vが与えられ、非選択行のソース線15は書き込み中間電位が与えられる。この書き込み中間電位として、前記したような非選択セルによるリーク電流の増大やパンチスルーを抑制し、誤消去が生じるおそれのない値、例えば3Vが設定される。

【0030】読み出しは、選択行のワード線12に電源電圧 V_{cc} を与え、選択列のビット線13に読み出し中間電圧を与えることにより、前述したような原理で行われる。なお、非選択列のビット線13は電圧が印加されず(フローティング状態)、非選択行のワード線12は0Vが与えられる。

【0031】消去は、全てのワード線12を接地し、全ての列選択用のトランジスタ16をオフ状態にして全てのビット線13を例えばフローティング状態にし、全てのソース線15に高電圧を与えることにより、前述したような原理で行われる。

【0032】上記実施例のEEPROMによれば、書き込みモード時に、メモリセルアレイ1の選択行のソース拡散配線14に接続されているソース線15には接地電位を与えるので、選択セルの書き込み効率が劣化することはない。また、非選択行のソース拡散配線14に接続されているソース線15には書き込み中間電位を与えるので、データ書き込み時の非選択セルによるリーク電流の増大とパンチスルーを抑制できる。これにより、メモリセルの設計上の自由度が増すことになる。

【0033】次に、前記ソースデコーダ8について詳細に説明する。このソースデコーダ8は、ワード線12に並行に延長されるソース線15に電位を与えるものであるから、メモリセルアレイ1に隣接して配置するか、または、メモリセルアレイ1の近傍に配置することが望ましい。しかも、ソース線15はワード線12と同じ行アドレスで選択されるのであるから、パターン設計上の効率を考えた場合、ソースデコーダ8は前記ロウデコーダ2と同じ場所にレイアウトすることが望ましい。

【0034】図3は、上記ソースデコーダ8およびロウデコーダ2の一具体例として、書き込みモード動作のみに着目して回路例を示している。 V_{cc} は電源電圧、SW1およびSW2はそれぞれ動作モードに応じて電位が変化する内部電源である。上記内部電源SW1は、書き込み時に高電圧(例えば12V、これは外部から与えられる V_{pp} 電圧である。)になり、前記内部電源SW2は、読み込み時に書き込み中間電位(例えば3V、これはチップ上で作られる。)になる。31はワード線選択信号が入力するV

cc 電源系のナンドゲート、32は上記ナンドゲート31の出力が入力するSW1系のインバータ、33はこのインバータ32の出力および書き込みモード信号/writeが入力するSW2系のノアゲートであり、その出力をソース線15に供給する。34は上記ナンドゲート31の出力が入力するSW1系のインバータ、35はこのインバータ34の出力を反転させるSW1系のインバータであり、その出力をワード線12に供給する。

【0035】書き込みモード時には、書き込みモード信号/writeがロウレベル“L”になる。そして、選択行では、ナンドゲート31の論理が成立してその出力が“L”レベルになり、インバータ32の出力は V_{pp} 電圧になる。これにより、この時のノアゲート33の出力である0Vがソース線15に与えられ、この時のインバータ35の出力である V_{pp} 電圧がワード線12に与えられる。これに対して、非選択行では、ナンドゲート31の論理が成立せずにその出力が“H”レベルになり、インバータ32の出力は0Vになる。これにより、この時のノアゲート33の出力である書き込み中間電位がソース線15に与えられ、この時のインバータ35の出力である0Vがワード線12に与えられる。

【0036】なお、上記実施例では、データ読み込み時に非選択行のソース線15を書き込み中間電位に設定したが、データ書き込み時に非選択行のソース線15をフローティング状態にするようにしても前記したような非選択セルによるリーク電流の増大とパンチスルーを抑制できる。

【0037】ところで、上記実施例では、1本のワード線12に1本のソース線15が対応している場合を示したが、例えば図4に示す第2実施例のように、複数本のワード線12…に対して1本のソース線15が対応するようにレイアウトしてもよい。

【0038】図4は、本発明の第2実施例に係るEEPROMの一部を示す回路図である。この実施例においては、前記ワード線12がメインワード線MWLとセクションワード線SWLからなり、これら二重ワード線の選択がメインロウデコーダとセクションロウデコーダの二段階で行われる二重ワード線方式が採用されている。ここで、31はメインロウデコーダ用の V_{cc} 系のナンドゲート、32および34はSW1系のインバータ、41…はセクションロウデコーダ用のSW1系のノアゲートである。33は前記インバータ32の出力および書き込みモード信号/writeが入力するSW2系のノアゲートであり、その出力信号は複数本のワード線12…を単位とするブロック内の共通ソース拡散配線14、…、14に供給される。

【0039】上記第2実施例の場合には、読み込み時に選択セルと同じビット線を共有する非選択セルが複数個存在することになる。しかし、その個数は、4本のワード線12…に対して1本のソース線15を設けた場合に3個、8本のワード線12…に対して1本のソース線15を設けた場合に7個の如く非常に少ない(従来例では、データ

込み時に選択セルと同じビット線13を共有する非選択セルが数千個存在する。)ので、非選択セルによるリーク電流量やホットホール注入の確率は殆んど支障がないレベルである。

【0040】なお、上記各実施例では、書き込み時に選択セルと同じビット線13を共有する非選択セルのリーク対策、ホットホール対策について述べたが、例えば図5に示す第3実施例のように、読み出しモード時にETOX型セルの過消去に対するマージンを拡大することができる。

【0041】ここで、ETOX型セルの過消去の問題について説明しておく。即ち、ETOX型セルの特性にはばらつきがあり、同じ時間だけソースに高電圧を印加した後の閾値のばらつきはかなり大きい。例えば最も閾値の高いセルと最も閾値の低いセルとの閾値の差は2Vにもなる。今後、大容量化が進み、一括消去時の閾値のばらつきはさらに大きくなることが予想される。一方、ETOX型セルを使用したEEPROMの一括消去時には、従来はインテリジェント・イレース・シーケンスが採用されている。これは、一括消去時に、最も消去しにくいセルの閾値が所定のレベルまで低下するまでソースに高電圧を印加する方式であり、全ビットが消去されるまで、消去→ベリファイ→消去のループを繰り返していく。しかし、このインテリジェント・イレース・シーケンスは、最も消去しにくいセルの消去に要する時間で消去時間が決まるので、消去し易いセルに対しては過度な電氣的ストレスが印加され、フローティングゲートから電荷を引き抜き過ぎてメモリセルがデプレッション化してしまうという過消去が発生する。

【0042】このような過消去により、アクセスタイムの劣化を招き、最悪の場合には、デプレッション化したメモリセルとビット線を共有するメモリセル群の全てがオン状態であると判定されてしまうことになり、正常に機能することが不可能になる。このような過消去の問題は、EEPROMの大容量化に伴って、セルの閾値のばらつきが大きくなると、ますます発生し易くなる。

【0043】図5は、本発明の第3実施例に係るETOX型セルを用いたEEPROMに使用されるソースデコードおよびロウデコードを示す回路図である。この回路は、図3を参照して前述した回路と比べて、ノアゲート33の一方の入力の書き込みモード信号/writeに代えて、読み出しモードあるいは書き込みモードの時に“L”レベルになる読み出し・書き込みモード信号/read・writeが入力している点異なり、その他は同じであるので図3中と同一符号を付している。

【0044】なお、前記内部電源SW1は、書き込み時にVpp電圧、読み出し時にVccとなる。また、前記内部電源SW2は、込み時に込み中間電位、読み出し時に読み出し中間電位(例えば3V、これはチップ上で作られる。)となる。

【0045】図5の回路において、込みモード時には、図3の回路を参照して前述した込みモード時と同様な動作が行われる。読み出しモード時には、選択行では、ナンドゲート31の出力が“L”レベルになり、インバータ32の出力はVpp電圧になる。これにより、この時のノアゲート33の出力である0Vがソース線15に与えられ、この時のインバータ35の出力であるVcc電圧がワード線12に与えられる。これに対して、非選択行では、ナンドゲート31の出力が“H”レベルになり、インバータ32の出力は0Vになる。これにより、この時のノアゲート33の出力である読み出し中間電位がソース線15に与えられ、この時のインバータ35の出力である0Vがワード線12に与えられる。

【0046】このように読み出しモード時に非選択行のソース線15に読み出し中間電位が与えられるので、仮に、選択セルとビット線を共有する非選択セルがデプレッション化していたとしても、よほど強くデプレッション化していた場合でないとリーク電流が流れない。従って、ETOX型セルを用いたEEPROMにおける読み出しモード時に、ETOX型セルの過消去に対するマージンを拡大できる。

【0047】なお、上記第3実施例では、読み出し時に非選択行のソース線を読み出し中間電位に設定したが、読み出し時に非選択行のソース線をフローティング状態にするようにしても前記したようなETOX型セルの過消去に対するマージンを拡大できる。

【0048】また、本発明は、例えば図6に示す第4実施例のように、本願発明者が提案した特願平2-259041号「半導体記憶装置」の発明と組み合わせることも可能である。上記提案の「半導体記憶装置」は、所定の方向に延長された共通ソース拡散領域を有する複数のメモリセルと、上記共通ソース拡散領域と並行して延長され、上記複数のメモリセルの各ゲートが接続される少なくとも1層の多結晶シリコン層を含むワード線と、上記共通ソース拡散領域と電氣的に接続された1層目の金属配線層からなる第1ソース配線と、上記ワード線と並行して延長され、上記第1ソース配線と電氣的に接続された2層目の金属配線層からなる第2ソース配線とを具備したことを特徴する。この「半導体記憶装置」によれば、いくつかの第1ソース配線に対して第2ソース配線を接続し、複数の第2ソース配線に対して選択的に電圧を与えることにより、ブロック単位でメモリセルのデータ消去が可能になる。この場合、第1ソース配線と第2ソース配線は異なる層の金属配線層で構成されるため、第2ソース配線を自由にレイアウトすることができ、チップサイズの増加を伴わずに細かなブロック単位の消去が可能になる。

【0049】図6は、本発明の第4実施例に係るETOX型セルを用いたEEPROMに使用されるソースデコードを示す回路図である。この回路は、図5を参照して

11

前述したソースデコーダと比べて、次の点(a)、(b)、(c)が異なり、その他は同じであるので図5中と同一符号を付している。

【0050】(a)ノアゲート33の一方の入力の 込みモード信号/write に代えて、読み出しモードあるいは書き込みモードあるいは消去モードの時に“L”レベルになる読み出し・書き込み・消去モード信号/read・write・erase が入力する。

【0051】(b)インバータ32とノアゲート33の他方の入力端との間に、Pチャネルトランジスタ61およびNチャネルトランジスタ62が並列接続されてなる第1のCMOSTransファゲート63が直列に挿入されており、上記Pチャネルトランジスタ61のゲートには読み出しモードあるいは書き込みモードの時に“L”レベルになる読み出し・書き込み信号/read・write が入力し、上記Nチャネルトランジスタ62のゲートには読み出しモードあるいは書き込みモードの時に“H”レベルになる読み出し・書き込み信号read・write が入力する。

【0052】(c)インバータ32とノアゲート33の他方の入力端との間に、SW1系のインバータ36および第2のCMOSTransファゲート64が直列に挿入されており、この第2のCMOSTransファゲート64のPチャネルトランジスタ65のゲートには消去モードの時に“L”レベルになる消去モード信号/erase が入力し、上記第2のCMOSTransファゲート64のNチャネルトランジスタ66のゲートには消去モードの時に“H”レベルになる消去モード信号erase が入力する。

【0053】なお、前記内部電源SW1は、書き込み時にVpp電圧、読み出し時にVcc、消去時にVpp電圧となる。また、前記内部電源SW2は、書き込み時に書き込み中間電位、読み出し時に読み出し中間電位、消去時にVpp電圧となる。

【0054】図6のソースデコーダにおいて、書き込みモード時には、第1のCMOSTransファゲート63がオン状態、第2のCMOSTransファゲート64がオフ状態になり、図5の回路を参照して前述した書き込みモード時と同様な動作が行われる。読み出しモード時にも、第1のCMOSTransファゲート63がオン状態、第2のCMOSTransファゲート64がオフ状態になり、図5の回路を参照して前述した読み出しモード時と同様な動作が行われる。

【0055】消去モード時には、第1のCMOSTransファゲート63がオフ状態、第2のCMOSTransファゲート64がオン状態になる。そして、選択行では、ナンドゲート31の出力が“L”レベルになり、インバータ32の出力はVpp電圧になり、インバータ36の出力は0Vになる。これにより、この時のノアゲート33の出力であるVpp電圧がソース線に与えられる。なお、選択行のワード線12には接地電圧が与えられ、ビット線13は例えばフローティング状態に設定される。これに対して、非選

12

択行では、ナンドゲート31の出力が“H”レベルになり、インバータ32の出力は0Vになり、インバータ36の出力はVpp電圧になる。これにより、この時のノアゲート33の出力である0Vがソース線15に与えられる。

【0056】上記第4実施例によれば、チップサイズの増加を伴わずに、消去モード時には、細かなブロック単位の消去が可能になり、書き込みモード時には、選択セルの書き込み効率が劣化することなく、非選択セルによるリーク電流の増大とパンチスルーを抑制でき、読み出しモード時には、ETOX型セルの過消去に対するマージンを拡大できる。なお、この発明は上記各実施例に限定されるものではなく、種々の変形が可能であり、EPROMやEEPROMに対して一般的に適用することができる。

【0057】

【発明の効果】上述したように本発明の不揮発性半導体記憶装置によれば、積層ゲート構造を有するメモリセルの微細化に伴ってチャネル長がスケールされることによってデータ書き込み時の非選択セルによるリーク電流およびパンチスルーが生じ易くなったとしても、選択セルの書き込み効率が劣化することなく、非選択セルによるリーク電流の増大およびパンチスルーを抑制することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係るEEPROMを示すブロック回路図。

【図2】図1のEEPROMにおけるメモリセルアレイの一部を示す回路図。

【図3】図2中のソースデコーダおよび図1中のロウデコーダ回路の一例を示す回路図。

【図4】本発明の第2実施例に係るEEPROMの一部を示す回路図。

【図5】本発明の第3実施例に係るETOX型セルを用いたEEPROMに使用されるソースデコーダおよびロウデコーダの一例を示す回路図。

【図6】本発明の第4実施例に係るEEPROMに使用されるソースデコーダの一例を示す回路図。

【図7】積層ゲート構造を有する不揮発性メモリセルの一例としてETOX型セルの断面構造を示す図。

【図8】図7中のトランジスタの各部の容量成分を示す図。

【図9】EEPROMやEPROMにおける 込み回路を示す回路図その列選択トランジスタおよび書き込みトランジスタがそれぞれオンしている場合の等価回路を示す回路図。

【図10】従来のEEPROMやEPROMにおける 込み時の非選択セルによるリーク電流およびパンチスルーを抑制するための定電圧発生回路を示す回路図。

【符号の説明】

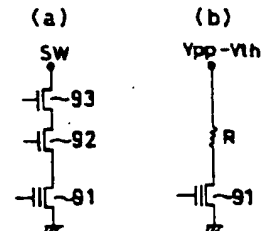
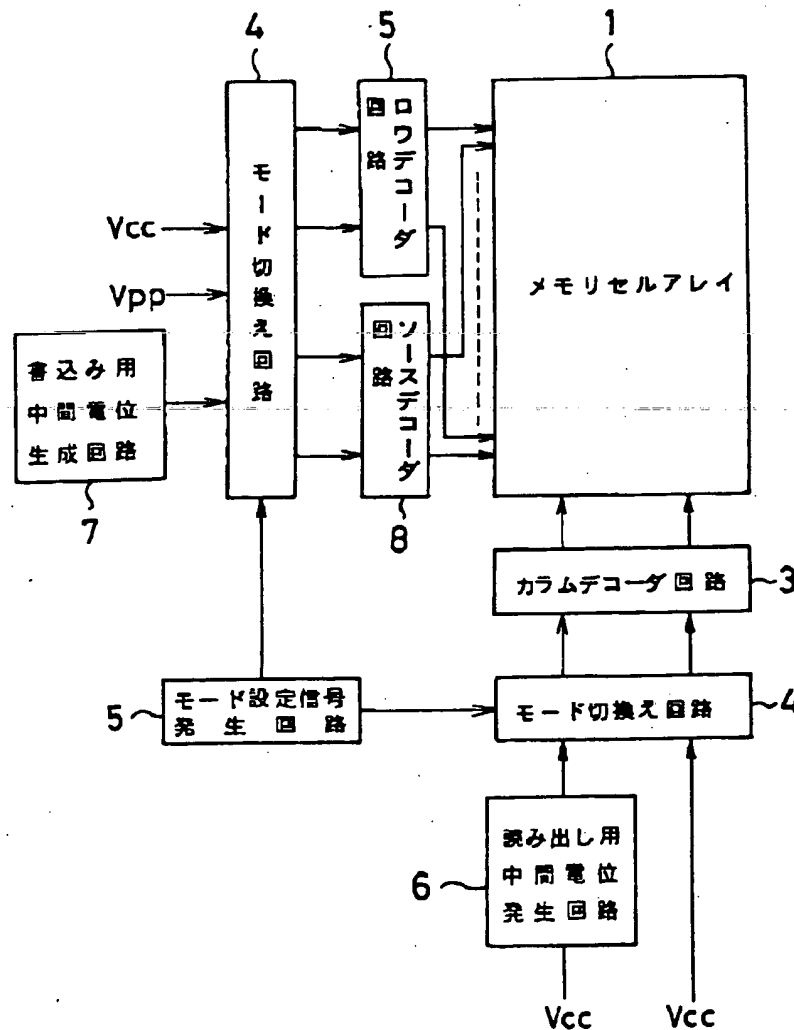
1 …メモリセルアレイ、2 …行デコーダ回路、3 …列デ

コード回路、4…モード切り換え回路、5…モード設定信号発生回路、6…読み出し用中間電位発生回路、7…読み出し用中間電位発生回路、8…ソースデコーダ回路、11…ETOX型セル、12…ワード線、13…ビット線、14…共通ソース拡散配線、15…ソース配線、16…列選択用

のトランジスタ、31…ナンドゲート、32、34、35、36…インバータ、33…ノアゲート、63…第1のCMOSトランスファゲート、64…第2のCMOSトランスファゲート、SW1、SW2…内部電源。

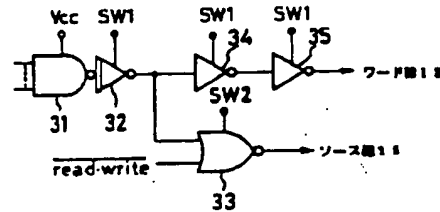
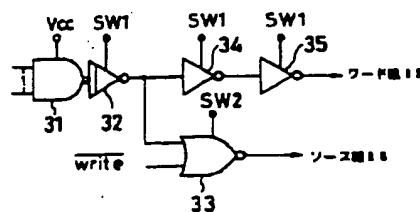
【図1】

【図9】

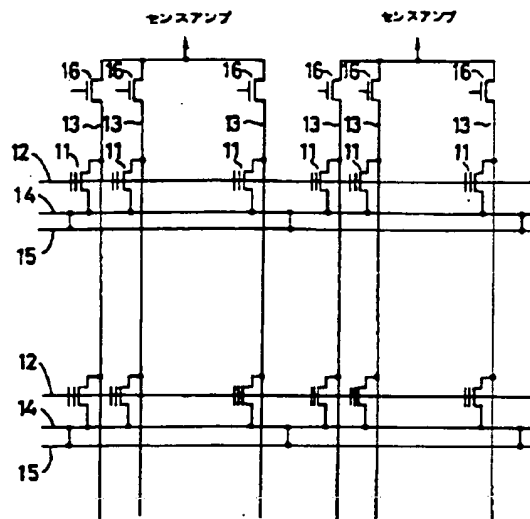


【図3】

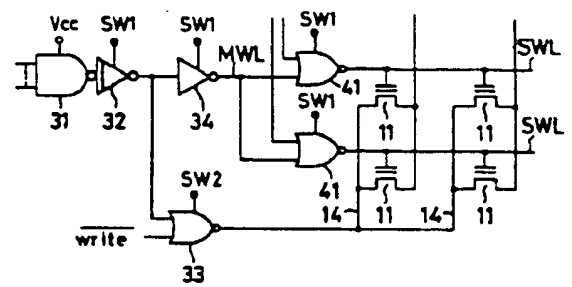
【図5】



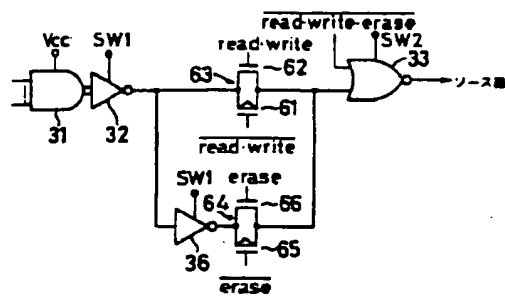
【図2】



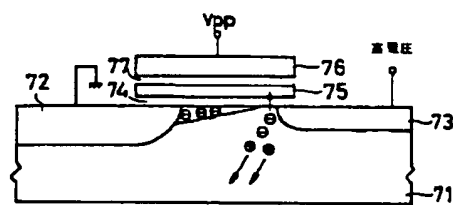
【図4】



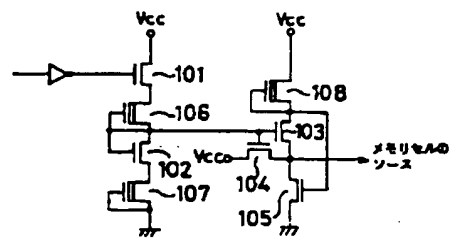
【図6】



【図7】



【図10】



【図8】

